

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074352

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H01L 29/78  
H01L 21/316  
H01L 21/76

(21)Application number : 05-217678

(71)Applicant : TEXAS INSTR INC &lt;TI&gt;

(22)Date of filing : 01.09.1993

(72)Inventor : MALHI SATWINDER

(30)Priority

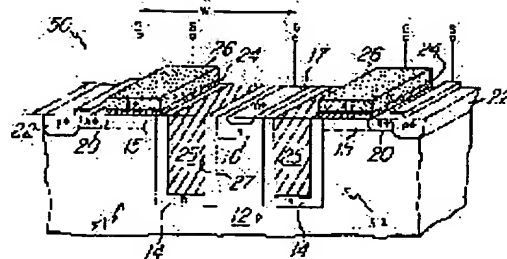
Priority number : 92 939349 Priority date : 02.09.1992 Priority country : US

## (54) MOSFET AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a power transistor using a trench technique for application requiring a number of independent elements integrated on a single semiconductor die.

CONSTITUTION: A power transistor cell 51, a source 20, a drain 16, and a trench 27 for providing an improved RDson performance are formed on a substrate without sacrificing a yield performance. A gate 26 is formed on the surface of a space 15 between the source 20 and the trench 27. A drift region 14 is formed around the trench 27. A drift region 14 formed around the trench 27 improves the characteristics of an RESCUE transistor 50 without scarifying a die region.



## LEGAL STATUS

[Date of request for examination] 01.09.2000

[Date of sending the examiner's decision of rejection] 05.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-12468

[Date of requesting appeal against examiner's decision of rejection] 04.07.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-74352

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/316	G	7352-4M		
21/76				
		9055-4M	H 0 1 L 29/ 78	3 2 1 V
		9169-4M	21/ 76	L
審査請求 未請求 請求項の数2 OL (全 8 頁) 最終頁に続く				

(21)出願番号 特願平5-217678

(22)出願日 平成5年(1993)9月1日

(31)優先権主張番号 9 3 9 3 4 9

(32)優先日 1992年9月2日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 サットウインダー マルヒ

アメリカ合衆国テキサス州ガーランド, メ  
ドウリッジ ドライブ 2626

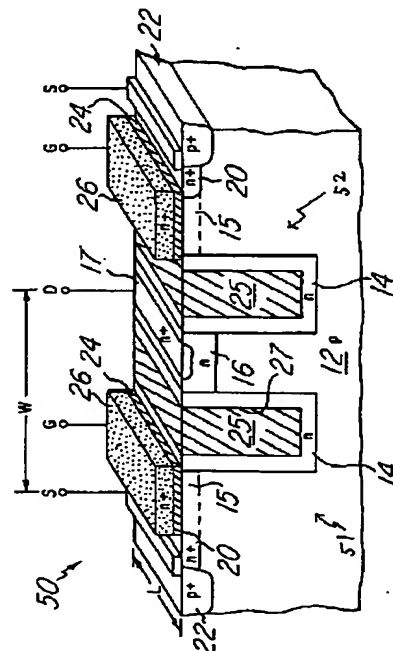
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 MOSFET及びその製造方法

(57)【要約】

【目的】 単一の半導体ダイ上に集積される多くの、独立の素子が必要となる適用対象に、トレンチ技法を用いた電力トランジスタを提供する。

【構成】 降伏性能を犠牲にすることなく改善されたRDSon性能を提供する電力トランジスタセル51。ソース20、ドレイン16、及びトレンチ27が基板12に形成される。該ソース20と該トレンチ27との間の空間15上の表面にゲート26が形成される。ドリフト領域14が該トレンチ27の回りに形成される。トレンチ27の回りに形成されたドリフト領域14が、ダイ領域を犠牲にすることなくRESURFトランジスタ50の特性を改善する。



## 【特許請求の範囲】

【請求項1】 ソースと、  
ゲートと、  
ドレインと、  
前記ゲートと前記ドレインとの間に配置されたトレンチと、  
前記トレンチを取り囲むドリフト領域とを有することを特徴とする横方向電力用トランジスタ。

【請求項2】 ダイ領域を増大することなくトランジスタ降伏電圧性能を向上させ、単一の半導体チップ上に多数のトランジスタを形成し、セルピッチの縮減によって横方向DMOSトランジスタのRDSon性能を改善する方法であって：半導体基板を形成し、  
前記基板にトレンチを形成し、  
前記トレンチの回りにドリフト領域を形成し、  
前記トレンチとの間に隔離領域をもって前記基板にソース領域を形成し、  
前記基板にドレイン領域を形成し前記ドリフト領域へ接続を行い、  
前記トレンチを満たすパターン化された絶縁層を形成し、  
前記ソース領域と前記トレンチとの間の前記隔離領域の表面にパターン化された第2の絶縁層を形成し、  
前記第2絶縁層の表面にパターン化された導電層を形成することから成る方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体集積回路の分野に属し、主に高電力素子に関連する。

## 【0002】

【従来の技術】 高電力用集積回路の分野では、電力トランジスタの開発について多くの研究がなされて来た。減縮表面電界 (reduced surface field : RESURF) 技術によって、低い“オン”抵抗 (RDSon) と高い降伏能力とを同時に示すLDMOS電力トランジスタ (横方向二重拡散 (lateral double diffused) MOSトランジスタ) を可能とする進歩が成された (J. A. Appels 及び H. M. J. Vase “高電圧薄膜素子 (RESURF素子) ”、1979年IEDM技術ダイジェスト、238-241頁)。

【0003】 IC設計において、半導体ダイ領域は重要である。一般的に、トランジスタ領域が大きくなるのに伴い、低い“オン”抵抗 (以後RDSonとして参照する) をトランジスタは示す。トランジスタの性能と素子のコストダウンという設計上の二律背反性が、設計における重大な制約となっている。この問題が、トランジスタ領域を最小にすると同時に低いRDSonを提供する新たなトランジスタ構造の研究の契機となった。1つの改善は、トレンチDMOSトランジスタの開発であった (“ウエダダイスケ、タカギヒロミツ、カノウゴータ；

全、セルフアライメント (self aligned) 処理を用い作成された超低オン抵抗電力MOSFET”、IEEE電子素子のトランザクション、1987年4月第4、ED-34版)。上で述べた公知文献で説明されている電力トランジスタはバックサイドのドレイン接続を有するため、単一の半導体基板上に集積される幾つかの独立した素子には適さない。

## 【0004】

【発明が解決すべき課題】 本発明の目的は、単一の半導体ダイ上に集積される多くの、独立の素子が必要となる適用対象に、トレンチ技法を用いる電力トランジスタを提供することにある。本発明の他の目的は、ソースと基板との間の電気的な分離を備えるトレンチ技法を用いる高電力トランジスタを提供することにある。本発明の更なる目的及び利点は、以下の明細書及び図面を参照することにより当業者に明らかになるであろう。

## 【0005】

【課題を解決するための手段及び作用】 トレンチベース (trench based) RESURF LDMOS (縮減された表面電界横方向複合拡散MOS (reduced surface field lateral double diffused MOS) トランジスタ構造) が、トランジスタセルピッチを最小にすることにより改善されたRDSon性能を提供する。ドレインとソースとトレンチとが基板に構成される。ゲートが、ソースとトレンチとの間の空間上の表面に形成され、該空間はトランジスタチャネルを形成する。RESURFトランジスタ性能を提供するドリフト領域は、トレンチの回りに形成され、これによりトランジスタ領域を減少させる。トップドレイン設計が、多重トレンチベースRESURF LDMOSトランジスタ構成を、単一の半導体ダイ上に形成することを可能にする。

## 【0006】

【実施例】 図1は、垂直トレンチベースDMOSトランジスタ30を示している従来技術の断面図である。基板には、ドレイン32と、ドリフト領域34と、ボディ領域36と、バックゲート38と、ソース40とが形成されている。トレンチはボディ領域36を通りドリフト領域34にまで形成されている。該トレンチは、酸化物41で覆われ、ポリシリコンで満たされてゲート42を形成する。ゲートトレンチ42を備えることにより、(ボディ領域36内の) チャネル35がトレンチの近傍に形成され、これより従来のLDMOS (横方向二重拡散MOS) トランジスタのチャネルによる横方向の空間は小さくされていた。遺憾なことに、トレンチベースDMOSトランジスタ30は、垂直素子 (ドレイン領域32は基板である) で、これが独立して絶縁された多くのトレンチベースDMOSトランジスタ30を同じダイ上に構成することを困難にしている。この構成の垂直トレンチ電力トランジスタは、共通のドレイン端子を共用するために、互いを独立して絶縁することができない。

【0007】図2は本発明の好適な実施例であるマルチセルトレンチベースRESURF横方向DMOS (LDMOS) トランジスタ50を示す断面図である。トランジスタ50は、2つのトランジスタセル51、52を有する。それぞれのトランジスタセルは独立のトランジスタとして動作することができる。トランジスタセル51、52は、同様に構成され、半導体基板12の頂部表面に置かれた共通ドレイン端子16を共用する。

【0008】トランジスタセル51を参照し、セル51はソース20、ゲート26、トレンチ27、及びドレイン16を有する。ソース20、ゲート26及びドレイン16は、基板12の表面に対して横方向に形成される。トレンチ27は、基板12内に広がり、ゲート26とドレイン16との間に配置されている。ドリフト領域14はトレンチ27を包む。ドリフト領域14は、酸化物25で満たされたトレンチを包み込み、基板12に形成されたドレイン領域16との接続を行う。ソース20とバックゲート22とはドリフト領域14から離されて基板12に形成される。ゲート酸化膜24とポリシリコンのゲート26とは、ソース20とドリフト領域14との間の領域15上に構成される。領域15はチャネル15を形成する。ドレイン領域16は、トランジスタセル51とトランジスタセル52の両方用の共通のドレイン16である。

【0009】更に図2を参照し、トレンチ27はトランジスタ50に長いドリフト領域14を提供する。ドリフト領域14は、トレンチ27の頂部から、トレンチ27の底部を沿い、他方の側面に沿ってトレンチ27の頂部まで広がっている。これにより、横方向のトランジスタ領域を用いることなく長いドリフト領域14を効率的に提供している。これがダイ領域を犠牲にすることなく、高い降伏電圧性能を好適に提供する。更に降伏電圧性能を向上させるため、トレンチをより深くすることができ、これによりドリフト領域14の全体の長さを長くすることができる。深められたトレンチの深さは、無視しうる程度の影響しかダイ領域に与えない。ドレイン領域16が基板内への拡散の代わりに表面拡散で形成され、この結果トランジスタ50は“頂部ドレイン”素子となっているので、トランジスタ50は、従来技術の垂直トレンチDMOSトランジスタと異なる。このユニークな特徴が、同一の半導体チップ上に形成される、複数の独立に絶縁されたトランジスタ50を可能にする。

【0010】図2を更に参照し、トレンチベースRESURF LDMOSトランジスタ50は、従来技術の横方向素子に比べてセルピッチ(W)が非常に短くなっている。該トレンチの特徴により、60Vの素子用のLDMOSトランジスタのセルピッチ(W)は8ミクロンから約3ミクロンにまで狭まった。セルピッチは、完全なトランジスタセルのために必要とされる最小の横方向領域として定義される。狭められたセルピッチは、セル密

度を2倍以上の因数まで増大させ、これにより、半導体ダイの与えられた領域に、更に多くのチャネル領域を提供できる。RDSonはトランジスタ領域に反比例するため、狭められたセルピッチは、シリコンの与えられた領域におけるチャネル領域を増大させ、これによりトランジスタのRDSonを減少させる。

【0011】トランジスタ50は以下の手法により製造することができる。約1ミクロンの厚さのSiO<sub>2</sub>層をP型基板12上に形成する。パターン化されたレジストを該SiO<sub>2</sub>層上に形成する。複数のトレンチを、該パターン化されたレジストに従い該SiO<sub>2</sub>層を貫き基板12までもエッチする。リングラス(phosphosilicate glass: PSG)層をトランジスタ50の表面上に形成する。熱処理が実行され、トレンチの内側に沿ってN型拡散層14が形成される(以下ドリフト領域14として参照する)。(該N型ドリフト領域14は、該PSG層のリンにより作りだされる。)該PSG層は取り除かれ、基板12の頂部にドレイン16を形成するためマスクを用いてN型注入がなされる。トレンチが酸化物で満たされトレンチ酸化物25を形成するように、厚いSiO<sub>2</sub>層がトランジスタ50上に形成される。トレンチ内のトレンチ酸化物25のみが残るように、トランジスタ50の表面がでるまで該SiO<sub>2</sub>層はエッチングされる。焼きなまし(アニール)処理により、ドリフト領域14とドレイン16との両方を更に外部拡散(outdiffuse)させる。薄いSiO<sub>2</sub>層が、トランジスタ50上に形成されゲート酸化物24を形成する。N+型不純物がドーパされたポリシリコン層がトランジスタ50上に形成される。エッチングにより該ポリシリコン層と薄いSiO<sub>2</sub>層を部分的に取り除きゲート26を形成する。レジストマスクを用いて、N+型不純物の注入はそれ自身ゲート26と整合し、ソース20とドレインコンタクト17とを形成する。同様に、マスクを用いたP+型不純物の注入でバックゲートコンタクト22を形成し、これにより、ソース20を基板12(これはまた回路のグランドである)へ短絡させる。約5000オングストロームのSiO<sub>2</sub>層(図2中には示されていない)が、ウエハーの表面上に形成される。該厚い酸化物層がエッチングされ、ドレイン16、ソース20、ゲート26領域に達するコンタクト開口部が形成される。パターン化された金属層(図2には示さず)がトランジスタ50上にデポジットされ、ドレイン16とソース20とゲート26への電気接続が形成される。トレンチベースRESURF LDMOSトランジスタ50は、従来技術よりもセルピッチ(W)が非常に狭い。

【0012】バックゲートコンタクト22を介して基板12に電氣的に接続される(これによりグランドと結ばれる)ソース20を備える図2のトランジスタ50は、ロウ側ドライバ(low side driver)構造の動作のために適切に適合する。図3に示されているロウ側ドライバ

5

構造は、ロード52に接続されたドレイン16と、回路のグランド54に接続されたソース20と、制御回路56に接続されたゲート26とを備えるトランジスタ50から成る。

【0013】図2を参照されたい、トランジスタ50は次のように動作する。ゲート26上にトランジスタ50のしきい値電圧( $V_t$ )よりも大きな電圧を印加すると、チャネル15が反転し、電流が、ドレインコンタクト17から、ドレイン16を通り、ドリフト領域14を通り、チャネル15を通り、最後にソース20を通り流れる。ドリフト領域14は、ゲート酸化膜24-ドリフト領域14間の電界が減少するように、電界を再形成するよう動作し、これにより、素子の降伏電圧は増大しRDSonは減少する。ドリフト領域14の長さ、ドーピング、厚みを適切に設計することによって、トランジスタのRDSonと降伏電圧との両方を最適化することができる。ドリフト領域14の長さが降伏電圧に直接比例するため、セルピッチ(W)を増大させることなく、トレンチの深さを深くすることにより高い降伏電圧を提供でき、これはトランジスタ50の領域を拡大させないことが分かるであろう。

【0014】降伏状態の間、ドレイン16が通常動作の最大定格よりも大きな電圧に達すると、次のことが起きる：ドレイン16の電圧が増加するに従い、ドレイン16で電圧が最大であるため、空乏領域がドリフト領域14-基板領域12の境界に沿って成長し、ドレイン16に近づくにつれて大きくなる。同時に、空乏領域がドレイン16-基板12間に、形成される。ドリフト領域14が完全な空乏状態になると、トランジスタ50は降伏し、降伏パスはドレイン16-基板12の境界の近傍に位置する。これは、チャネル15上に位置する薄いゲート酸化膜24の近傍で降伏現象が発生することを防ぐ。

【0015】図4は、本発明の別の実施例である。構造上、絶縁領域21が、図2のトランジスタ50からトランジスタ60を異ならしめている。絶縁領域21は、基板12からソース20を電気的に分離している。この例では、絶縁領域21はN型にドーブされた領域から成る。トレンチベースRESURFLDMOSTトランジスタ60は、第1のSiO<sub>2</sub>層の形成前に大きなN型絶縁領域21が形成される点を除き、図2のトランジスタ50と同様な手法により製造される。マスクされたP型領域23（以下ボディ領域23として参照する）が、絶縁領域21内に形成される。ウエハーがエッチングされてトレンチが形成されるとき、該トレンチは、絶縁領域21-ボディ領域23の境界エッジ上で中央に位置決めされる。トランジスタ60の残りの製造プロセスは図2で記述した工程に従う。

【0016】図4のトランジスタ60は、絶縁領域21の存在による基板12からのソース20の電気的分離のために独創的である。これが、ソース20と基板12と

6

の間を電気的に分離することが必要となるハイ側 (high side) ドライバ素子への適用にトランジスタ60を用いることを可能にし、これにより、トランジスタ60の適用性の範囲を広めている。図5に示すハイ側ドライバ素子は、電源58に接続されたドレイン16と、ロード52に接続されたソース20と、制御回路56に接続されたゲート26とを備えるトランジスタ60から成る。

【0017】図6は本発明の更に別の実施例を示している。トレンチベースRESURFLDMOSTトランジスタ70は、ドレイン16がトレンチ27内に形成され、そして、それがポリシリコンからなる点においてトランジスタ50と異なる。ドレイン16は、トレンチ27内の酸化物25を延び、トレンチ27の下ドリフト領域14の部分に接続されている。これにより、以前の構成ではドレイン16により占められていたトレンチとトレンチとの間の横方向領域を、設計者が取り除くことを可能にする。この構成が、2つのトランジスタセル71と72とが単一のトレンチ27を共用することを許容する。従って、2つのトランジスタセル毎にトレンチ27が1つのみ必要となる。これがセルピッチを更に狭め、そして、セルピッチの減少がRDSonの減少に対応するため、RDSonを更に減少させる。

【0018】図6のトランジスタ70を形成するため、トレンチは図2に関連して述べたように製造される。厚いSiO<sub>2</sub>層25がトレンチを満たし、該SiO<sub>2</sub>層25がトレンチのみを満たし、トレンチ酸化物25を形成するようにウエハーの表面がエッチングされた後に、選択的な異方向性 (anisotropic) エッチングが、多数のトレンチ酸化物25内にトレンチを形成するのに用いられる。該異方向性エッチングは、水平面のエッチングのみを可能とするので、トレンチ酸化物25の側壁はエッチされず、エッチは垂直方向にのみ働く。薄いSiO<sub>2</sub>層が、ウエハーの面上に（そして、トレンチの底部に沿った横方向表面に）形成される。パターン化されたウェットエッチングにより、トレンチ内の横方向表面に形成されたそれを含むSiO<sub>2</sub>層を部分的に取り除き、これによりゲート酸化膜24が形成される。N+型にドーブされたポリシリコン層がウエハーの表面に形成されたトレンチを満たす。ポリシリコン層のエッチングによりドレイン16とゲート26との両方が形成される。残りの製造ステップは図2に関連して記述したプロセスに従う。

【0019】図6において、ドリフト領域14の長さは、トランジスタ70の降伏電圧に直接的に比例するため、トレンチは、トランジスタ50により提供されるのと同じ降伏電圧比率を提供するために深く形成されなければならない。トランジスタ70は、ソース20がバックゲート22を介して基板12に結合されているため、ロウ側ドライバ素子の適用には理想的である。

【0020】図7は、本発明の更に別の実施例である。

7

トランジスタ80は、図6のようなトレンチ酸化物25内に形成されたドレイン16を備えるトレンチベースRESURF LDMOSトランジスタ80である。しかしながら、絶縁領域21が、図4におけるように、ソース20を基板12から電気的に分離している。従って、トランジスタ80は、ソース20とグランド電位(基板12)との間で電気的な分離を必要とするハイ側ドライバ素子のような、非常に広い適用範囲を有する。この構造上の相違により、付加的な製造ステップが必要となる。SiO<sub>2</sub>層をウエハー表面上に形成する前に、大きなN型絶縁領域21を形成するためにレジストマスクが用いられる。同じレジストマスクを用いて、P型タンク(以下ボディ領域23として参照する)が絶縁領域21内に形成される。残りの製造ステップは図6に関連して述べたプロセスに従う。

【0021】本発明を好適な実施例を参照しながら記述したが、この記述は限定のために構成されたものではない。記述した実施例の種々の改変が、発明の記述を参照して当業者により明らかになるであろう。従って、添付の特許請求の範囲は、発明の真の範囲内に有るこのような改変或いは例を包含することが分かるであろう。

【0022】以上の説明に関し更に以下の項を開示する。

1. ソースと、ゲートと、ドレインと、該ゲートと該ドレインとの間に配置されたトレンチと、該トレンチを取り囲むドリフト領域とを有することを特徴とする横方向電力トランジスタ。

2. 第1項記載の横方向電力トランジスタであって、更に、該トレンチを満たす絶縁物を有することを特徴とする横方向電力トランジスタ。

【0023】3. 第2項記載の横方向電力トランジスタにおいて、該絶縁物が酸化物であることを特徴とする横方向電力トランジスタ。

4. 第1項記載の横方向電力トランジスタにおいて、該ソースとドレインとがN型半導体物質から成り、該ゲートがポリクリスタリン(polycrystalline)シリコンから成ることを特徴とする横方向電力トランジスタ。

5. 基板と、該基板に形成されたボディ領域と、該ボディに形成されたソース領域と、ゲートと、該基板に形成されたドレイン領域と、該ソース領域と該ドレイン領域との間の基板の面に形成されたトレンチと、該トレンチを囲むドリフト領域とから成ることを特徴とする電力トランジスタ。

【0024】6. 第5項記載の電力トランジスタであって、更に、該基板から該ソース領域を電気的に分離するため、該ボディ領域の下に該基板の面に形成された絶縁領域を有することを特徴とする電力トランジスタ。

7. 第5項記載の高電圧電力トランジスタセルにおいて、高電圧電力トランジスタの値する降伏電圧で、または前で、該ドリフト領域が完全に空になるように、基板

8

ドーピング濃度と、ドリフト領域の深さと、ドーピングのプロフィールとがRESURFトランジスタ設計原理に基づき設計されていることを特徴とする高電圧電力トランジスタセル。

【0025】8. ソースと、ゲートと、トレンチ内に形成されたドレインとを有することを特徴とする電力トランジスタ。

9. 第8項記載の電力トランジスタであって、更にトレンチを取り囲むドリフト領域を有することを特徴とする電力トランジスタ。

10. 第9項記載の電力トランジスタであって、該ドレインが該ドリフト領域に接続されていることを特徴とする電力トランジスタ。

【0026】11. 第10項記載の電力トランジスタであって、該ドレインを取り囲む該トレンチに誘電体を有することを特徴とする電力トランジスタ。

12. 第11項記載の電力トランジスタであって、該誘電体が酸化物で、該ドレインがポリクリスタリン(poly crystalline)シリコンから成ることを特徴とする電力トランジスタ。

13. ソースとゲートとを有する第1トランジスタセルと、ソースとゲートとを有する第2トランジスタセルと、トレンチ内に形成された第1トランジスタセルと第2トランジスタセル用の共通ドレインと、第1トランジスタセルと第2トランジスタセル用のドリフト領域を形成するトレンチを取り囲むドリフト領域とから成ることを特徴とする電力トランジスタ。

【0027】14. 第13項記載の電力トランジスタにおいて、該トレンチ内に形成された該共通ドレインが、基板に形成された溝と、該溝を満たす誘電体と、該溝を取り囲む該ドリフト領域への誘電体内の開口と、該誘電体の該開口を満たす導電性物質とから成ることを特徴とする電力トランジスタ。

15. 第14項記載の電力トランジスタにおいて、該誘電体が酸化物で、該ドレインがポリクリスタリン(poly crystalline)シリコンから成ることを特徴とする電力トランジスタ。

【0028】16. 第15項記載の電力トランジスタであって、付加的に、ソースを基板から電気的に分離する、該第1及び第2トランジスタセルのソースの下に該基板に形成された絶縁領域を有することを特徴とする電力トランジスタ。

17. ダイ領域を増大することなくトランジスタ降伏電圧性能を向上させ、単一の半導体チップ上に多数のトランジスタを形成し、セルピッチの縮減によって横方向DMOSトランジスタのRDSon性能を改善する方法であって：半導体基板を形成し、該基板にトレンチを形成し、該トレンチの回りにドリフト領域を形成し、該ソース領域と該トレンチとの間の空間で、該基板にソース領域を形成し、該基板にドレイン領域を形成し該ドリフト

9

領域へ接続を行い、該トレンチを満たすパターン化された絶縁層を形成し、該ソース領域と該トレンチとの間の該空間の表面に第2のパターン化された絶縁層を形成し、第2絶縁層の表面にパターン化された導電層を形成することから成る方法。

【0029】18. 第17項記載の方法において、基板から電氣的に分離されたそのソースを有する狭められたセルピッチを備える横方向DMOSトランジスタが、更に、該ソース領域の下にボディ領域を形成し、該ボディ領域の下に絶縁領域を形成することから成ることを特徴とする方法。

19. ダイ領域を増大することなくトランジスタ降伏電圧性能を向上させ、単一の半導体チップ上に多数のトランジスタを形成し、セルピッチの縮減によって横方向DMOSトランジスタのRDSon性能を改善する方法であって：半導体基板を形成し、該基板に第1トレンチを形成し、該トレンチの回りにドリフト領域を形成し、該ソース領域と該トレンチとの間で、該基板にソース領域を形成し、該トレンチを満たす第1のパターン化された絶縁層を形成し、第2トレンチが該第1トレンチを取り囲む該ドリフト領域の下へ広がるように、第1絶縁層内に第2トレンチを形成し、ドレイン領域が第1トレンチを取り囲む該ドリフト領域への電氣的な接続を行うように、第2トレンチ内にドレイン領域を形成し、該ソース領域と該トレンチとの間の空間の表面に第2のパターン化された絶縁層を形成し、該第2の絶縁層の表面にパターン化された導電層を形成することから成ることを特徴とする方法。

【0030】20. 第19項記載の方法において、該基板から電氣的に分離されたそのソースを有する狭められたセルピッチを備える横方向DMOSトランジスタが、更に、該ソース領域の下にボディ領域を形成し、該ボディ領域の下に絶縁領域を形成することから成ることを特徴とする方法。

【0031】21. トレンチベーストランジスタ技術を利用することによって、降伏性能を犠牲にすることなく改善されたRDSon性能を提供する高電圧電力トラン

10

ジスタセルが開発された。ソース、ドレイン、及びトレンチが基板に形成される。該ソースと該トレンチとの間の空間上の表面にゲートが形成される。ドリフト領域が該トレンチの回りに形成される。該ソースと該基板との間の電氣的な分離を可能にする絶縁領域を選択的に付加することができる。更に、単一の半導体チップ上に存在し、相互に電氣的に分離される多数の高電圧電力トランジスタを、横方向の電流の流れが可能にする。トレンチの回りに形成されたドリフト領域が、ダイ領域を犠牲にすることなくRESURFトランジスタ特性を提供する。

【0032】

【効果】本発明によれば、単一の半導体ダイ上に集積される多くの、独立の素子が必要となる適用対象に、トレンチ技法を用いる電力トランジスタを提供することができる。また、ソースと基板との間の電氣的な分離を備えるトレンチ技法を用いる高電力トランジスタを提供するもできる。

【図面の簡単な説明】

【図1】垂直トレンチベースDMOSトランジスタを示す従来技術の断面図。

【図2】本発明の好適な実施例を示す断面図。

【図3】ロウ側駆動の構成を示す回路図。

【図4】本発明の別の実施例を示す断面図。

【図5】ハイ側駆動の構成を示す回路図。

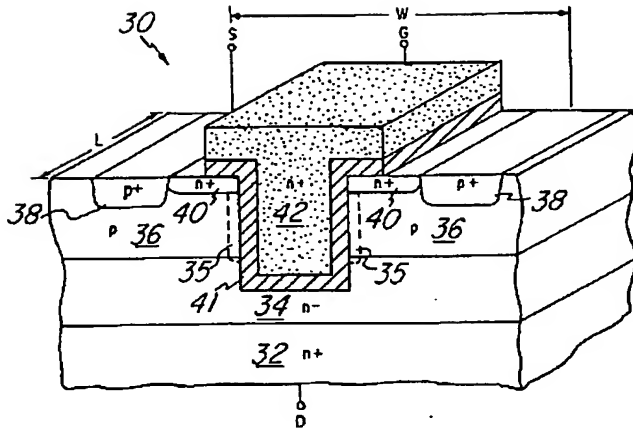
【図6】本発明の更に別の実施例を示す断面図。

【図7】本発明の更に別の実施例を示す断面図。

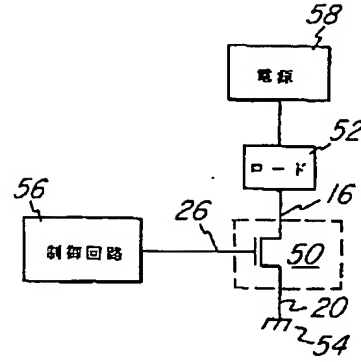
【符号の説明】

14 ドリフト領域  
15 チャネル  
20 ソース  
27 トレンチ  
50 トランジスタ  
60 トランジスタ  
70 トランジスタ  
80 トランジスタ

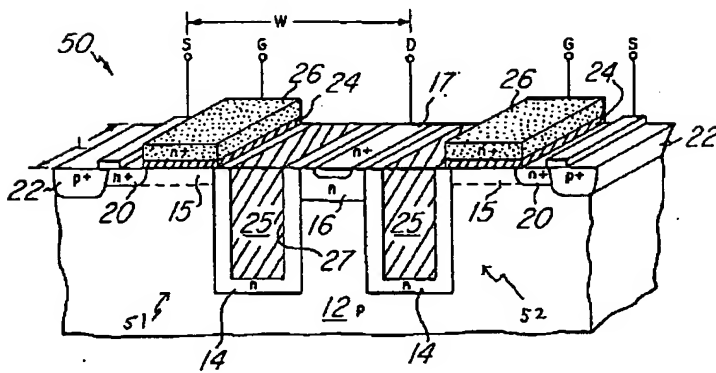
【図1】



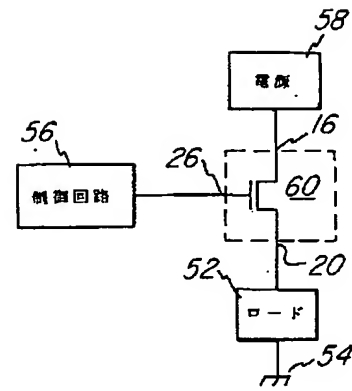
【図3】



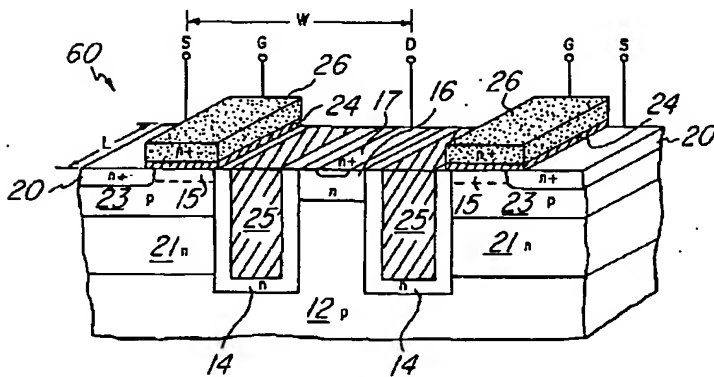
【図2】



【図5】

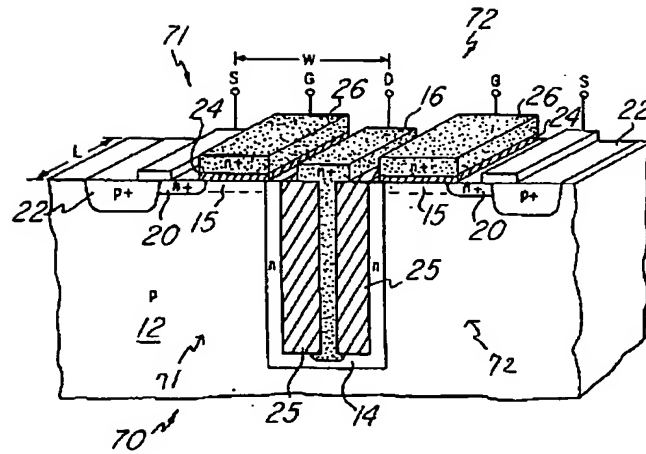


【図4】

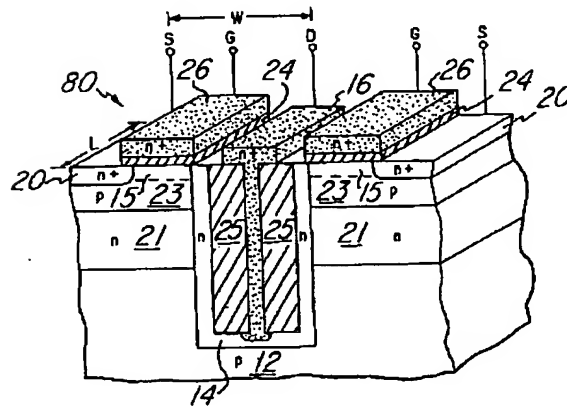




【図6】



【図7】



フロントページの続き

(51)Int. Cl. 6

識別記号

弁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/78

3 0 1 R

7514-4M

3 0 1 W

7514-4M

3 0 1 G